

Derived from 2 applications


- 1**    **Manufacturing method of semiconductor device and thin film transistor with a recrystallized thin semiconductor film.**  
**Inventor:** YOSHIOKA TATSUO (JP); TETSUYA KAWAMURA (JP); (+2)  
**EC:** H01L21/20D2; H01L21/336D2B  
**Publication Info:** EP0641018 A1 - 1995-03-01
- 2**    **MANUFACTURE OF SEMICONDUCTOR DEVICE AND THIN-FILM TRANSISTOR**  
**Inventor:** YOSHIOKA TATSUO; KAWAMURA TETSUYA; (+2)  
**EC:** H01L21/20D2; H01L21/336D2B  
**Publication Info:** JP7066415 A - 1995-03-10
- Applicant:** MATSUSHITA ELECTRIC IND CO LTD (JP)  
**IPC:** H01L21/265; H01L21/20; H01L21/324 (+10)
- Applicant:** MATSUSHITA ELECTRIC IND CO LTD  
**IPC:** H01L21/265; H01L21/20; H01L21/324 (+10)

Data supplied from the *esp@cenet* database - Worldwide

# MANUFACTURE OF SEMICONDUCTOR DEVICE AND THIN-FILM TRANSISTOR

**Patent number:** JP7066415  
**Publication date:** 1995-03-10  
**Inventor:** YOSHIOKA TATSUO; KAWAMURA TETSUYA;  
 FURUTA MAMORU; MIYATA YUTAKA  
**Applicant:** MATSUSHITA ELECTRIC IND CO LTD  
**Classification:**  
 - International: *H01L21/265; H01L21/20; H01L21/324; H01L21/336;  
 H01L29/78; H01L29/786; H01L21/02; H01L29/66;  
 (IPC1-7): H01L29/786; H01L21/265; H01L21/268;  
 H01L21/324; H01L21/336*  
 - european: H01L21/20D2; H01L21/336D2B  
**Application number:** JP19930208024 19930823  
**Priority number(s):** JP19930208024 19930823

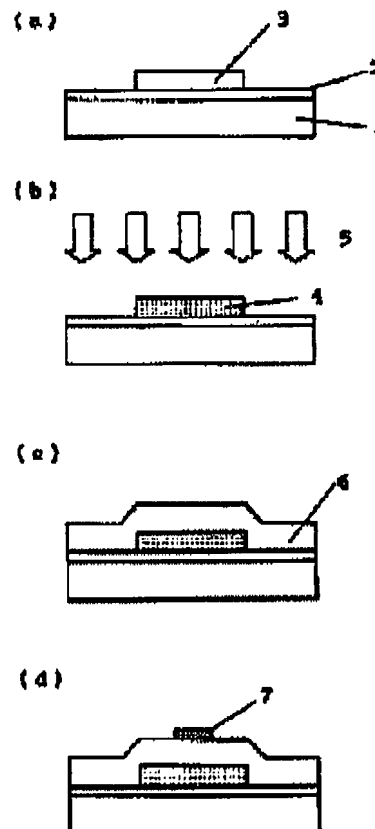
Also published as:

 EP0641018 (A)

Report a data error he

## Abstract of JP7066415

**PURPOSE:** To provide a thin-film transistor that uses uniform polycrystalline silicon film of good property formed by melting hydrogenated amorphous silicon. **CONSTITUTION:** A hydrogenated amorphous silicon semiconductor layer 3 of thickness between 500Angstrom and 1500Angstrom is formed in a specified shape on a transparent substrate 1, and irradiated with laser light. A polycrystalline silicon layer 4 is formed by melting the layer 3. After a gate insulating film 6 and a gate electrode 7 are formed, and impurities are implanted, an interlayer insulating film is deposited. After that, holes for leading out the electrodes are formed, hydrogen plasma treatment is performed, and source and drain electrodes are formed.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

# (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-66415

(43) 公開日 平成7年(1995)3月10日

(51) Int. Cl. <sup>a</sup>

識別記号

F I

H01L 29/786

21/336

21/265

9056-4M

H01L 29/78

311

Y

21/265

H

審査請求 未請求 請求項の数 7 O L (全 6 頁) 最終頁に続く

(21) 出願番号 特願平5-208024

(22) 出願日 平成5年(1993)8月23日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 吉岡 達男

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 川村 哲也

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 古田 守

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(74) 代理人 弁理士 松田 正道

最終頁に続く

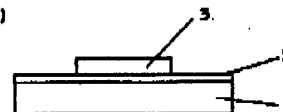
(54) 【発明の名称】 半導体装置の製造方法及び薄膜トランジスタ

(57) 【要約】

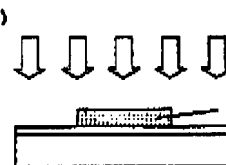
【目的】 半導体薄膜（水素化アモルファスシリコン薄膜）を熔融結晶化して形成した多結晶シリコン薄膜を用いた薄膜トランジスタに関して、高い均一性と良好な特性を可能とする製造方法を提供することを目的とする。

【構成】 透光性基板 1 に、膜厚が 500 Å より厚くかつ 1500 Å より薄い水素化アモルファスシリコン半導体層 3 を所定の形状に形成し、レーザー光を照射し熔融結晶化により多結晶シリコン半導体層 4 とする。次にゲート絶縁膜 6、ゲート電極 7 を形成し不純物 8 を注入した後、層間絶縁膜 11 を堆積する。その後電極取り出し用の穴を形成し、水素プラズマ処理を行い、ソース・ドレイン電極を形成する。

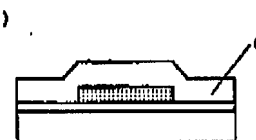
(a)



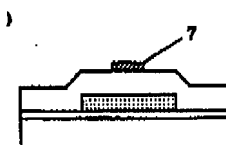
(b)



(c)



(d)



1 ガラス基板

2 SiO<sub>2</sub>

3 水素化アモルファスシリコン半導体層

4 多結晶シリコン半導体層

5 レーザー光

6 ゲート絶縁膜

7 ゲート電極

## 【特許請求の範囲】

【請求項1】透光性基板上に、膜厚が500Åより厚く1500Åより薄い半導体薄膜を所定の形状に形成する第1の工程と、前記半導体薄膜にレーザー光を照射する第2の工程と、前記透光性基板上と半導体薄膜に絶縁性薄膜aを堆積する第3の工程と、前記絶縁性薄膜a上に電極aを所定の形状に形成する第4の工程と、前記絶縁性薄膜a越しに前記半導体薄膜中へ不純物を注入する第5の工程と、そのようにして出来た前記基板上に絶縁性薄膜bを堆積する第6の工程と、前記絶縁性薄膜a、bの所定の位置に穴を形成する第7の工程と、前記絶縁性薄膜b上に所定の形状に電極bを形成する第8の工程とを少なくとも有することを特徴とする半導体装置の製造方法。

【請求項2】第1の工程で形成する半導体薄膜は、シラン( $\text{SiH}_4$ )、ジシラン( $\text{Si}_2\text{H}_6$ )等の主原料ガス、もしくは前記主原料ガスと水素ガスを混合した混合ガスを、プラズマ分解、熱分解または光分解のうち何れかの方法を用いて600℃以下の基板温度で堆積することを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】第2の工程の前に前記半導体薄膜を300℃以上で大気中、真空中、窒素雰囲気中または水素雰囲気中のうち何れかの状態で加熱処理を行うことを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項4】第6の工程以降で、基板温度を300℃以上450℃以下として水素プラズマ処理を行う工程を有することを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項5】半導体層に注入する不純物が、燐及び燐と水素の化合物がボロン及びボロンと水素の化合物の何れかであり、不純物注入後に基板温度を300℃以上とする熱工程を有することを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項6】熱工程が、薄膜堆積工程であることを特徴とする請求項5に記載の半導体薄膜の製造方法。

【請求項7】ガラス基板上に、水素化アモルファスシリコン薄膜もしくは微結晶シリコン薄膜を500Åより厚く1500Åより薄く堆積後所定の形状に形成する第1の工程と、真空中もしくは窒素雰囲気中で350℃以上450℃以下で熱処理を行う第2の工程と、前記熱処理後に前記水素化アモルファスシリコン薄膜もしくは微結晶シリコン薄膜をエキシマレーザー光の照射により熔融結晶化し多結晶シリコン薄膜にする第3の工程と、前記ガラス基板上と多結晶シリコン薄膜にゲート絶縁膜として $\text{SiO}_2$ 、 $\text{SiN}_x$ もしくは $\text{SiN}_x/\text{SiO}_2$ を堆積する第4の工程と、前記ゲート絶縁膜上にゲート電極としてCr、Al、TiもしくはTa等を堆積し所定の形状に形成する第5の工程と、前記ゲート電極をマスクとしてゲート絶縁膜越しに前記多結晶シリコン薄膜中へ不純

物を注入する第6の工程と、前記ゲート絶縁膜及びゲート電極上に層間絶縁膜として $\text{SiO}_2$ 、 $\text{SiN}_x$ もしくは $\text{SiN}_x/\text{SiO}_2$ を300℃以上の基板温度で堆積する第7の工程と、前記ゲート絶縁膜及び層間絶縁膜の所定の位置にコンタクト用の穴を形成する第8の工程と、前記コンタクト用の穴を形成後に基板を300℃以上に加熱し水素プラズマに曝す処理を行う第9の工程と、前記層間絶縁膜上に取り出し電極としてAl/Ti、Al、Ti、CrもしくはTa等を堆積後所定の形状に形成する第10の工程を経て製造されたことを特徴とする薄膜トランジスタ。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、透光性基板上に薄膜トランジスタ（以下TFTと称する）を形成する半導体装置の製造方法とその製造方法により作製したTFTに関する。

## 【0002】

【従来の技術】多結晶シリコンを半導体層に用いたTFTにおいて、多結晶シリコンの形成には、石英等の基板の上にLP-CVD (Low Pressure-Chemical Vapor Deposition: 低圧化学気相堆積) 法等により600℃以上の温度で直接多結晶シリコン薄膜を堆積する方法、水素化アモルファスシリコン薄膜や微結晶シリコン薄膜等を600℃以上の温度で固相成長させ多結晶シリコンを形成させる方法、また水素化アモルファスシリコン薄膜や微結晶シリコン薄膜等をレーザー光等のエネルギー源を用いて熔融多結晶化して多結晶シリコン薄膜を形成する方法等がある。

## 【0003】

【発明が解決しようとする課題】しかしながら上記従来の直接基板上に多結晶シリコン薄膜を堆積する方法や水素化アモルファスシリコン薄膜等を固相成長により多結晶シリコン薄膜を形成する方法で多結晶シリコンTFTを作製する場合、基板を最低でも600℃程度に加熱する必要がある、TFTに用いる基板が限定されてしまう等の課題を有していた。

【0004】また、レーザー光等のエネルギー源による熔融多結晶化を用いた多結晶シリコン薄膜の形成方法では、結晶性や薄膜の均一性を確保することが課題であり、安定した特性を示すTFTの作製に課題を有していた。

【0005】本発明は上記従来の課題を解決するもので、TFTに用いる基板が限定されず、また、結晶性や薄膜の均一性が確保された半導体装置の製造方法とその製造方法を用いたTFTを提供することを目的とする。

## 【0006】

【課題を解決するための手段】本発明では、透光性基板上に、膜厚が500Åより厚く1500Åより薄い半導体薄膜を所定の形状に形成する第1の工程と、前記半導

体薄膜にレーザー光を照射する第2の工程と、前記透光性基板上と半導体薄膜に絶縁性薄膜aを堆積する第3の工程と、前記絶縁性薄膜a上に電極aを所定の形状に形成する第4の工程と、前記絶縁性薄膜a越しに前記半導体薄膜中へ不純物を注入する第5の工程と、そのようにして出来た前記基板上に絶縁性薄膜bを堆積する第6の工程と、前記絶縁性薄膜a、bの所定の位置に穴を形成する第7の工程と、前記絶縁性薄膜b上に所定の形状に電極bを形成する第8の工程とを少なくとも有する半導体装置の製造方法である。

【0007】

【作用】上記のように、レーザー光を照射して多結晶シリコン薄膜を形成することにより、低温(<600℃)で多結晶シリコン薄膜を形成できるため基板の選択範囲が広がる。

【0008】また、熔融結晶化する水素化アモルファスシリコン薄膜等の膜厚が500Åより厚く1500Åより薄いので、その後のレーザー光照射による熔融結晶化で形成された多結晶シリコン薄膜を用いたTFTに於て、照射時のレーザーエネルギー密度に対して良好なトランジスタ特性を示す領域の移動度と閾値電圧に安定な領域を有する。

【0009】

【実施例】以下、本発明の実施例について、図面を参照しながら説明する。

【0010】図1、図2は本発明の一実施例における半導体装置の製造方法を示す工程断面図である。図1(a)に示すように、透光性基板1の上にプラズマCVD法等により水素化アモルファスシリコン薄膜を膜厚1000Å前後で堆積した後、所定の形状にエッチングし、水素化アモルファスシリコン半導体層3を形成する。透光性基板1にはガラス基板等を用いる。また、半導体層3には微結晶シリコン薄膜や多結晶薄膜を用いてもよい。ここで形成した半導体層3を0.1～数10 Torrの窒素雰囲気中で基板温度：350℃～450℃、処理時間：30～180分間加熱処理を行い半導体層3内に含まれる水素原子もしくは水素分子を脱離させる。これは次工程のレーザー光照射による熔融結晶化時の水素の急激な脱離による突沸を防止するために予め緩やかに水素の脱離を行うものである。ただし、半導体層3の堆積時の水素含有量が～5 atomic%以下であればこの様な加熱処理を除くことも可能である。また加熱処理は真空中、大気中で行ってもよい。

【0011】次に同図(b)に示すように、エキシマレーザー(例えばXeCl、KrF等)光5を透光性基板上に照射して、水素化アモルファスシリコン半導体層3を多結晶シリコン半導体層4にする。この時のレーザーエネルギー密度は200～600 mJ/cm<sup>2</sup>の範囲とする。

【0012】次に同図(c)に示すように透光性基板上にゲート絶縁膜6としてSiO<sub>2</sub>を常圧CVD装置で10

0Å～5000Å程度堆積する。この時ゲート絶縁膜6としてはSiO<sub>2</sub>単層以外に、SiO<sub>2</sub>を2層、SiN<sub>4</sub>を単層、SiO<sub>2</sub>とSiN<sub>4</sub>の2層などが考えられる。また、堆積方法としては他にLP-CVD装置、プラズマCVD装置、光CVD装置、ECR-SP装置やECR-プラズマCVD装置等が考えられる。

【0013】次に同図(d)に示すように、ゲート電極7としてCr(クロム)を500Å～4000Å程度堆積し、所定の形状にエッチングする。この時電極材料としてはAl、多結晶シリコン、Ta、Ti等を用いてもよい。

【0014】次に図2(e)に示すように、水素希釈したB<sub>2</sub>H<sub>6</sub>もしくはPH<sub>3</sub>をプラズマにより分解、活性化させ、さらには電界により加速して不純物を注入する非質量分離型のドーピング方法を用いてゲート絶縁膜6越しに半導体層4中に不純物の注入を行いソース・ドレイン領域9を形成する。その際ゲート電極7とゲート絶縁膜6がマスクとなってチャネル領域10は不純物の注入が生じないためセルフアラインでソース・ドレイン領域9の形成が行える。

【0015】次に同図(f)に示すように、基板上に層間絶縁膜11としてSiO<sub>2</sub>を常圧CVD装置で100Å～5000Å程度堆積する。この時層間絶縁膜11としてはSiO<sub>2</sub>単層以外に、SiO<sub>2</sub>を2層、SiN<sub>4</sub>を単層、SiO<sub>2</sub>とSiN<sub>4</sub>の2層などが考えられる。また、堆積方法としては他にLP-CVD装置、プラズマCVD装置、光CVD装置、ECR-SP装置やECR-プラズマCVD装置等が考えられる。堆積時の基板温度としては450℃以下とする。さらに堆積時の基板温度を400℃前後とすると、不純物注入後の活性化も同時に行うことが可能であり、活性化工程の簡略化が図れる。

【0016】次に同図(g)に示すように、ゲート絶縁膜7及び層間絶縁膜11の所定の位置に電極取り出し用の穴を形成する。さらに、この穴を形成後に基板温度：300℃～400℃として水素プラズマ雰囲気の中に基板を曝す処理を10分～240分間行う。この処理により、熔融結晶化された多結晶シリコン薄膜の粒界に存在するダングリングボンドを水素原子でターミネートし、電気特性の向上を図る。また、この水素プラズマ処理は層間絶縁膜堆積後に行ってもよい。さらに、この水素プラズマ処理を行った後の工程では、基板温度を350℃以下で各処理を行うものとする。これは基板温度を350℃よりも高くすることで、ターミネートした水素原子の再脱離を防止するためである。

【0017】次に同図(h)に示すように、ソース・ドレイン電極12を所定の形状に形成する。

【0018】図3は、水素化アモルファスシリコン薄膜を500Å、1000Å、1500ÅとなるようにプラズマCVD装置で堆積して作製したp-ch多結晶シリコンTFTのレーザー・エネルギー密度と移動度(Mob)

ility)、閾値電圧( $V_t$ )の関係を示す。ドレイン電圧は12V、 $W/L$ は $48\mu\text{m}/12\mu\text{m}$ である。またトランジスタの作製方法は、図1、図2に示すとうりで、

その時の作製条件を(表1)に示す。

【0019】

【表1】

工程	処理条件
水素化アモルファスシリコン薄膜	基板温度: 270℃ 膜厚 : 500Å 1000Å 1500Å
水素脱離処理	基板温度: 400℃ 処理時間: 90分
熔融結晶化	XeClレーザー
ゲート絶縁膜: $\text{SiO}_2$	基板温度: 420℃ 膜厚 : 2000Å
ゲート電極: Cr	膜厚 : 2000Å
不純物ドーピング: $\text{B}_2\text{H}_6/\text{H}_2$ (非質量分離ドーピング法)	加速電圧: 60kV ドーピング量: $5 \times 10^{15}/\text{cm}^2$
層間絶縁膜: $\text{SiO}_2$	基板温度: 420℃ 膜厚 : 2000Å
水素添加処理 (水素プラズマによる)	基板温度: 300℃ 処理時間: 90分
取り出し電極: Al/Ti (ソース・ドレイン)	膜厚 Ti: 1000Å 膜厚 Al: 5000Å

【0020】図3に示すように、水素化アモルファスシリコン薄膜の膜厚が1000Åと1500ÅのものではMobilityのピーク付近でレーザー・エネルギー密度に依存しない安定領域が存在する。また、1500ÅではMobilityがピーク付近に達するレーザー・エネルギー密度が $500\text{mJ}/\text{cm}^2$ 以上と高いため結晶化効率が悪い。そこで、水素化アモルファスシリコン薄膜の膜厚を500Åより大きく1500Åより小さい値にすること

により、トランジスタ特性の安定した領域を有し、また結晶化効率も良好な多結晶シリコンTFTを作製することができる。

【0021】

【発明の効果】以上述べたところから明らかなように、本発明は、

(1)半導体薄膜(水素化アモルファスシリコン薄膜等)をレーザー光により熔融結晶化して多結晶シリコンを形

7

成することにより、低温(<600℃)プロセスが可能となり、基板選択の幅が広がる。

(2) 熔融結晶化する半導体薄膜(水素化アモルファスシリコン等)の膜厚を500Åより厚く1500Åより薄くすることにより、作製したトランジスタ特性の安定性及び均一性が向上する。

(3) また、半導体層に注入した不純物の活性化を薄膜堆積時の基板加熱で行う場合には、活性化の工程の簡略化が図れる。

【0022】という長所を有する。

【図面の簡単な説明】

【図1】本発明の一実施例における半導体装置の製造方法を示す一部の工程断面図である。

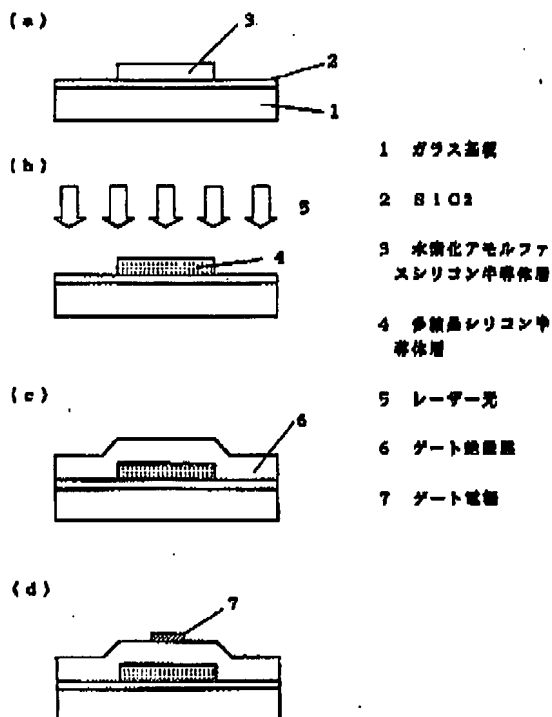
【図2】本発明の上記実施例における半導体装置の製造方法を示す残りの工程断面図である。

【図3】本発明の一実施例により作製した多結晶シリコンTFTのトランジスタ特性である。

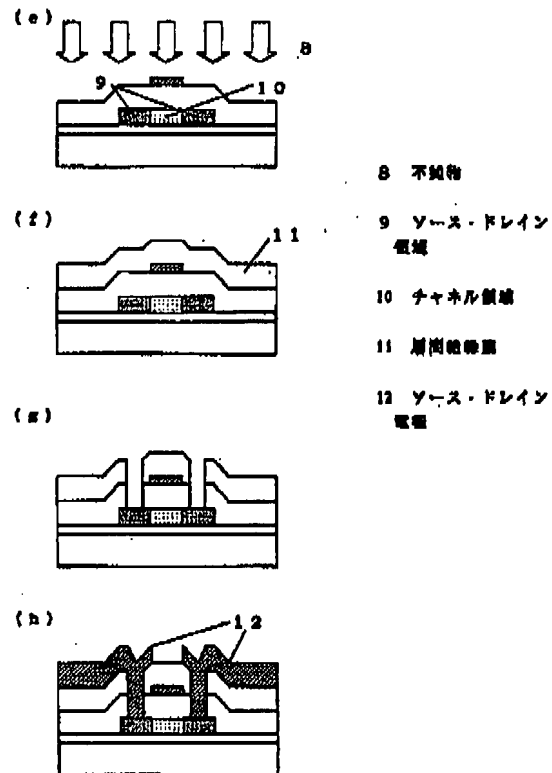
【符号の説明】

- |    |                   |
|----|-------------------|
| 1  | 透光性基板             |
| 2  | SiO <sub>2</sub>  |
| 3  | 水素化アモルファスシリコン半導体層 |
| 4  | 多結晶シリコン半導体層       |
| 5  | レーザー光             |
| 6  | ゲート絶縁膜            |
| 7  | ゲート電極             |
| 8  | 不純物               |
| 9  | ソース・ドレイン領域        |
| 10 | チャネル領域            |
| 11 | 層間絶縁膜             |
| 12 | ソース・ドレイン電極        |

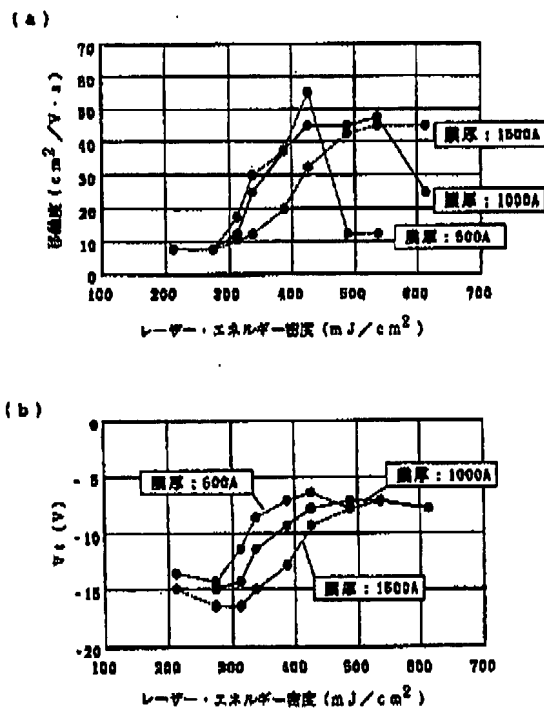
【図1】



【図2】



【図3】



フロントページの続き

(51) Int. Cl.

識別記号 序内整理番号

F I

技術表示箇所

H 0 1 L 21/268

Z

21/324

P

(72) 発明者 宮田 豊

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内